

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-191732

(43)Date of publication of application : 13.07.1999

(51)Int.Cl. H03K 19/0175
H01L 27/04
H01L 21/822
H01L 27/06
H01L 21/8234
H01L 27/088
H03K 19/003
// H01L 29/78

(21)Application number : 10-140671

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO
LTD

(22)Date of filing : 22.05.1998

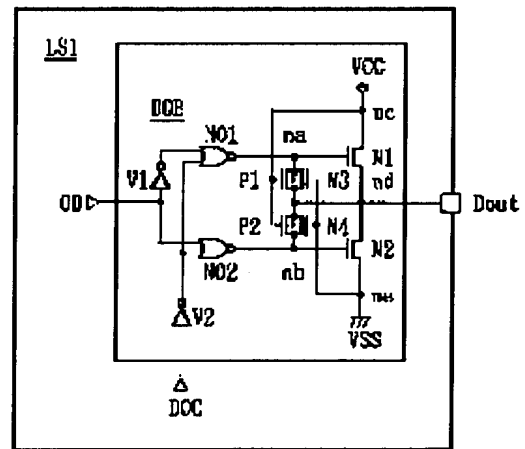
(72)Inventor : KINOSHITA YOSHITAKA
KAWASHIMA YUKIO
NAKAMURA HIDEAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To discharge the charge on the gate side of an output MOSFET and to prevent ESD destruction by providing a P channel or N channel MOSFET for protection between a source or drain and an external terminal.

SOLUTION: When the gates of N channel MOSFET N3 and N4 for protection, namely, an internal node ne is turned to a positive high potential by device charging, the potential at their sources, namely, at a data output terminal Dout is lowered by discharging accompanying conductor contact so that these MOSFET are turned into on-state. Thus, charges stored at internal nodes na and nb are discharged through these MOSFET N3 and N4 and turned into low potential. As a result, corresponding to the positive high potential caused by device discharging, the inter-gate/source voltage of an output MOSFET N1 and the inter-gate/drain voltage of an output MOSFET N2 are reduced, its oxide film destruction is prevented and the reliability of a large scale integrated circuit device LSI can be improved.



LEGAL STATUS

[Date of request for examination] 15.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

特開平11-191732[✓]

(43)公開日 平成11年 (1999) 7月13日

(51)Int.Cl.⁶

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00 1 0 1 K

H 0 1 L 27/04

19/003 E

21/822

H 0 1 L 27/04 H

27/06

27/06 3 1 1 C

21/8234

27/08 1 0 2 J

審査請求 未請求 請求項の数 7 O L (全 22 頁) 最終頁に続く

(21)出願番号

特願平10-140671

(62)分割の表示

特願平6-54507の分割

(22)出願日

平成6年 (1994) 2月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 木下 嘉隆

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 徳若 光政

最終頁に続く

(54)【発明の名称】 半導体装置

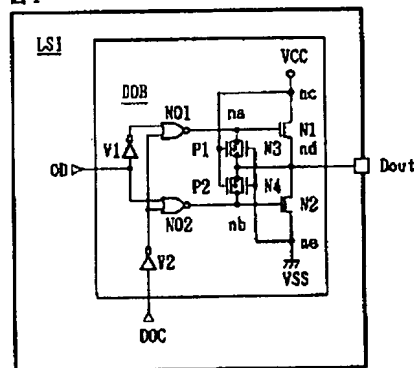
(57)【要約】

【目的】 デバイス帯電による出力回路又は入力回路の E S D破壊に対する保護回路と、効率的にデバイス帯電による出力回路又は入力回路の E S D破壊に対する保護を可能にした半導体装置を提供する。

【構成】 外部端子に一方のソース又はドレインが接続された出力 MOS F E T のゲートと上記外部端子の間に設けられて、ゲートが高電圧側電源端子に接続されて上記出力 MOS F E T と同じかそれより大きなチャンネル長を持つようにされた P チャンネル型の第 1 保護用 MOS F E T、又はそのゲートが低電圧側電源端子に接続され、上記出力 MOS F E T と同じかそれより大きなチャンネル長を持つようにされた N チャンネル型の第 2 保護用 MOS F E T を設ける。

【効果】 デバイス帯電により外部端子が放電されたとき、上記保護用の MOS F E T の一方がオン状態になって、同様にデバイス帯電により出力 MOS F E T のゲート側の電荷も放電させることができるので E S D破壊を防止することができる。

図 1



【特許請求の範囲】

【請求項1】 外部信号入力端子に入力が接続された入力回路を有する半導体装置であって、

前記入力回路は、

第1電位を受ける第1ノードと、

第2電位を受ける第2ノードと、

内部信号伝達ノードと、

前記第1ノードと前記内部信号伝達ノードとの間にそのソース・ドレイン経路が接続され、前記外部信号入力端子にそのゲートが接続されたP型の第1MOSFETと、

前記第2ノードと前記内部信号伝達ノードとの間にそのソース・ドレイン経路が接続され、前記外部信号入力端子にそのゲートが接続されたN型の第2MOSFETと、

前記外部信号入力端子と前記内部信号伝達ノードの間にそのソース・ドレイン経路が接続され、前記第2ノードにそのゲートが接続されたN型の第3MOSFETとを有することを特徴とする半導体装置。

【請求項2】 請求項1において、前記入力回路は更に、前記外部信号入力端子と前記内部信号伝達ノードの間にそのソース・ドレイン経路が接続され、前記第1ノードにそのゲートが接続されたP型の第4MOSFETとを有することを特徴とする半導体装置。

【請求項3】 請求項1又は請求項2において、前記入力回路は更に、前記外部信号入力端子と前記内部信号伝達ノードの間にソース又はドレインの一端が接続され、前記第2ノードにソース又はドレインの他端とゲートが接続されたN型の第5MOSFETとを有することを特徴とする半導体装置。

【請求項4】 外部信号入力端子に入力が接続された入力回路を有する半導体装置であって、前記入力回路は、第1電位を受ける第1ノードと、第2電位を受ける第2ノードと、内部信号伝達ノードと、前記第1ノードと前記内部信号伝達ノードとの間にそのソース・ドレイン経路が接続され、前記外部信号入力端子にそのゲートが接続されたP型の第1MOSFETと、前記第2ノードと前記内部信号伝達ノードとの間にそのソース・ドレイン経路が接続され、前記外部信号入力端子にそのゲートが接続されたN型の第2MOSFETと、前記外部信号入力端子と前記内部信号伝達ノードの間にそのソース・ドレイン経路が接続され、前記第1ノードにそのゲートが接続されたP型の第3MOSFETとを有することを特徴とする半導体装置。

【請求項5】 請求項2又は請求項4において、

前記入力回路は更に、前記外部信号入力端子にソース又はドレインの一端が接続され、前記第1ノードにソース又はドレインの他端とゲートが接続されたP型の第6MOSFETを有することを特徴とする半導体装置。

【請求項6】 請求項1から請求項5のいずれか1において、

前記第1電位は前記内部信号伝達ノードのハイレベルを決定し、

前記第2電位は前記内部信号伝達ノードのロウレベルを決定することを特徴とする半導体装置。

【請求項7】 請求項1から請求項6のいずれか1において、

前記半導体装置は、ダイナミック型RAMであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に関し、例えば、データ出力バッファ及びデータ入力バッファを備える大規模集積回路装置ならびにそのデバイス帯電モデルによる静電破壊防止技術に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 図20に示すように、保護回路を備えた出力回路の例として特開平5-128872号公報がある。この保護回路は、電源VCCあるいは、接地電位を基準に信号出力端子Doutに静電放電時のような負極性の高い電圧パルスが印加された場合、トランジスタ(MOSFET)Q2のゲートとドレイン又はドレインとソース間に負極性の高い電圧が印加されて、ドレインとゲート間のゲート絶縁膜破壊を防止するために、トランジスタQ3とQ4が設けられるものである。

【0003】 これらの保護トランジスタQ3とQ4は、上記出力用のトランジスタQ1とQ2のゲートと出力端子Doutが接続された出力ノードとの間に設けられ、ゲートに回路の接地電位が与えられている。そして、そのチャンネル長をパンチスルーが生じない程度で短くして、出力端子Doutに負極性の静電放電電圧が印加されたとき、導通状態になって出力用のトランジスタQ1とQ2のゲート電圧を出力端子Doutと同レベルまで低下させる。

【0004】

【発明が解決しようとする課題】 デバイスの静電破壊は、静電気放電(Electro-static Discharge; ESD)により起こる。このESD現象は次のような三つに分類される。(1)人体モデル(Human Body Model; HBD)、(2)デバイス帯電モデル(Charge Device Model; CD M)、(3)電界誘導モデル(Field Induced Model)がある。このうち、デバイス帯電モデルには、パッケージ帯電モデル(Charge Package Model; CPM)も含まれる。このうち、(3)電界誘導モデルは、事例が少ないために

あまり問題にされてはいない。

【0005】人体モデルは、静電気で帯電した人がデバイスに接触し、デバイスのピンに放電するモデルをいい、このとき、他のピンが接地されているなど、何らかの電位に接続されている場合、放電電流がデバイス内を貫通してデバイスを破壊に至らしめる。あるいは、帯電した人がデバイスを手で持った状態で、デバイスのピンを金属板に接触させた場合も同様な現象が生じる。この人体モデルによる試験回路は、人体を静電容量（キャパシタ）として、それに充電を行い、抵抗を皮膚抵抗値に置き換えてデバイスのピンに接続して、電圧パルスを加加させるものである。上記公報のESD保護回路は、外部端子に負極性の高電圧パルスが印加されたときを問題とするものであるため、上記の人体モデルを前提としたものであるということが出来る。

【0006】近年の自動化技術の進展に伴い、デバイスを人間の手で扱うことが少なく人体モデルによるESD破壊対策の必要性は低くなるのに対して、上記IC試験工程の自動化や機器組み立て工程の自動化によって、デバイスの搬送時におけるパッケージの摩擦や帯電した製造装置等への接触によってデバイス自体が帯電するという、上記のデバイス帯電モデルによる帯電が多発する傾向にある。

【0007】このデバイス帯電モデルは、図18に示すように、デバイス（LSI）が帯電した絶縁体に接近すると、Aのように静電誘導によってデバイスの導体部全部（チップ、リードフレーム、ワイヤなどのすべて）が一様に帯電する。そして、Bのように誘導電荷が放電するときに静電破壊が生じる。あるいは、Bの誘導電荷の放電の結果として、Cのようにデバイスに実帯電が発生し、これが図19のようにリードが接地されるときに放電が発生して静電破壊が生じる。このように帯電モデルによるESD破壊は、デバイスの導体部に一様に帯電した電荷が、放電ピンのパッドに集中して起こるものである。

【0008】つまり、帯電モデルでは、パッケージの摩擦や上記のような絶縁体の正又は負の帯電に応じて負又は正のいずれにも帯電するので、それぞれに対応した対策が必要となる。そして、上記のような実帯電状態に対しては内部ノードに電荷が閉じ込まれることになるために、保護用のMOSFET自体も保護の対象となるものである。したがって、上記公報のように人体モデルによる負極性の高電圧パルスのみに対する対策では不十分であること、他、保護用のトランジスタのチャンネル長を短く形成するものであるため、上記のようなデバイス帯電モデルにおいては保護用のトランジスタが先に破壊されやすく、信頼性に欠けるという問題を有するものである。

【0009】この発明の目的は、デバイス帯電による出力回路又は入力回路のESD破壊に対する保護回路を備

えた半導体装置を提供することにある。

【0010】この発明の他の目的は、チップサイズを大きくすることなく、効果的にデバイス帯電による出力回路又は入力回路のESD破壊に対する保護を可能にした半導体装置を提供することにある。

【0011】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0012】

10 【課題を解決するための手段】本願において開示される発明のうち1つの代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、外部端子に一方のソース又はドレインが接続された出力MOSFETのゲートと上記外部端子の間に設けられて、ゲートが高電圧側電源端子に接続されて上記出力MOSFETと同じかそれより大きなチャンネル長を持つようにされたPチャンネル型の第1保護用MOSFET、又はそのゲートが低電圧側電源端子に接続され、上記出力MOSFETと同じかそれより大きなチャンネル長を持つようにされたNチャンネル型の第2保護用MOSFETを設ける。

20 【0013】上記手段によれば、デバイス帯電により外部端子が放電されたとき、上記保護用のMOSFETの一方がオン状態になって、同様にデバイス帯電により出力MOSFETのゲート側の電荷も放電させることができるのでESD破壊を防止することができる。

【0014】

30 【課題を解決するための手段】本願において開示される発明のうち他の1つの代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、外部端子にゲートが接続された入力MOSFETの出力信号が得られるソース又はドレインと上記外部端子との間に、そのゲートが高電圧側電源端子に接続されたPチャンネル型の第3保護用MOSFET又はそのゲートが低電圧側電源端子に接続されたNチャンネル型の第4保護用MOSFETを設ける。

40 【0015】上記手段によれば、デバイス帯電により外部端子が放電されたとき、上記保護用のMOSFETの一方がオン状態になって、同様にデバイス帯電により入力MOSFETの出力ノードであるソース又はドレイン側の電荷も放電させることができるのでESD破壊を防止することができる。

【0016】

50 【発明の実施の形態】図1には、この発明に係るデータ出力バッファDOBの一実施例の回路図が示されている。同図の各回路素子は、他の同様な複数のデータ出力バッファや図示しない入力バッファ及び内部回路とともに、ダイナミック型RAM等のような大規模集積回路装置LSIに形成される。それ故、図1の各回路素子は、公知の半導体集積回路の製造技術によって、大規模集積回路装置LSIを構成する他の回路素子とともに1個の

単結晶シリコンのような半導体基板上に形成される。

【0017】この実施例においては、そのチャンネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。また、以下の記述では、対応するボンディングパッド及びボンディングワイヤ等を含めて外部端子と称する。また、本願においてMOSFETは、絶縁ゲート電界効果トランジスタ（IGFET）の意味で用いている。

【0018】図1において、この実施例のデータ出力バッファDOBは、回路の高電位側電源電圧つまり電源電圧VCCと外部端子つまりデータ出力端子Doutとの間に設けられるNチャンネル型の出力MOSFETN1と、データ出力端子Doutと回路の低電位側電源電圧つまり接地電位VSSとの間に設けられるNチャンネル型の出力MOSFETN2を含む。このうち、出力MOSFETN1のゲートつまり内部ノードnaは、ノア（NOR）ゲートNO1の出力端子に結合され、出力MOSFETN2のゲートつまり内部ノードnbは、ノアゲートNO2の出力端子に結合される。ノアゲートNO2の一方の入力端子には、データ出力バッファDOBの図示されない前段回路から内部出力信号ODが供給され、ノアゲートNO1の一方の入力端子には、そのインバータV1による反転信号が供給される。ノアゲートNO1及びNO2の他方の入力端子には、図示されないタイミング発生回路から内部制御信号DOCのインバータV2による反転信号が共通に供給される。

【0019】これにより、出力MOSFETN1は、ノアゲートNO1の出力信号がハイレベルとされるとき、言い換えるならば内部制御信号DOCがハイレベルとされかつ内部出力信号ODがハイレベルとされるときオン状態となり、データ出力端子Doutを電源電圧VCCよりそのしきい値電圧分だけ低い（ $VCC - V_{th}$ ）ハイレベルとする。一方、出力MOSFETN2は、ノアゲートNO2の出力信号がハイレベルとされるとき、言い換えるならば内部制御信号DOCがハイレベルとされかつ内部出力信号ODがロウレベルとされるときオン状態となり、データ出力端子Doutを接地電位VSSのようなロウレベルとする。

【0020】この実施例において、データ出力バッファDOBは、出力MOSFETN1のゲートつまり内部ノードnaとデータ出力端子Doutとの間に設けられる保護用NチャンネルMOSFETN3と、出力MOSFETN2のゲートつまり内部ノードnbとデータ出力端子Doutとの間に設けられる保護用NチャンネルMOSFETN4が設けられる。これらの保護用MOSFETN3及びN4のゲートには、回路の低電位側電源電圧つまり接地電位VSSが共通に供給される。これにより、MOSFETN3及びN4は、大規模集積回路装置LSIの通常の動作状態において定常的にオフ状態とさ

れ、データ出力バッファDOBの動作に影響を与えないものとされる。

【0021】上記出力MOSFETN1のゲートつまり内部ノードnaとデータ出力端子Doutとの間に設けられる保護用PチャンネルMOSFETP1と、出力MOSFETN2のゲートつまり内部ノードnbとデータ出力端子Doutとの間に設けられる保護用PチャンネルMOSFETP2が設けられる。これらの保護用MOSFETP1及びP2のゲートには、回路の高電位側電源電圧VCCに共通に接続される。これにより、MOSFETP1及びP2、大規模集積回路装置LSIの通常の動作状態において定常的にオフ状態とされ、データ出力バッファDOBの動作に影響を与えないものとされる。

【0022】パッケージ封入を終えた大規模集積回路装置LSIは、試験工程や機器組み立て工程におけるパッケージの摩擦や帯電した製造装置等への接触等によってデバイス自体が帯電するいわゆるデバイス帯電モデルによる帯電を受ける。このパッケージの帯電は、静電誘導によってデータ出力バッファDOBの内部ノードna～neを例えば比較的大きな絶対値の正又は負電位に帯電させる。そして、デバイス帯電により内部ノードndつまりデータ出力端子Doutに蓄積された正電荷又は負電荷は、製造工程においてデータ出力端子Doutが治工具や人体等の導体に接触することにより放電して低電位となるのに対して、内部ノードnaやnbは前記保護用のMOSFETがないときには放電経路がないので、出力MOSFETN1のゲート及びソース間ならびに出力MOSFETN2のゲート及びドレイン間には、内部ノードna及びnbの帯電電圧に相当する比較的大きな正電圧又は負電圧が印加されることになる。

【0023】この実施例の保護用のNチャンネルMOSFETN3及びN4は、そのゲートつまり内部ノードneがデバイス帯電により正の高電圧とされたとき、そのソースつまりデータ出力端子Doutの電位が導体接触にともなう放電により低下することでオン状態となる。これにより、内部ノードna及びnbに蓄積された電荷は、これらのMOSFETN3及びN4を介して放電されて低電位となる。この結果、上記のようなデバイス帯電による正の高電圧に対しては、出力MOSFETN1のゲート・ソース間電圧及び出力MOSFETN2のゲート・ドレイン間電圧を小さくしてその酸化膜破壊を防止し、大規模集積回路装置LSIの信頼性を高めることができるものとなる。

【0024】この実施例の保護用のPチャンネルMOSFETP1及びP2は、そのゲートつまり内部ノードneがデバイス帯電により負の高電圧とされたとき、そのソースつまりデータ出力端子Doutの電位が導体接触にともなう放電により低下することでオン状態となる。これにより、内部ノードna及びnbに蓄積された電荷

は、これらのMOSFET P1及びP2を介して放電されて低電位となる。この結果、上記のようなデバイス帯電による負の高電圧に対しては、出力MOSFET N1のゲート・ソース間電圧及び出力MOSFET N2のゲート・ドレイン間電圧を小さくしてその酸化膜破壊を防止し、大規模集積回路装置LSIの信頼性を高めることができるものとなる。

【0025】出力MOSFET N1及びN2は、内部ノードnaやnbに正の高電圧が発生したとき、放電によりデータ出力端子Doutの電位が低下してからそのゲートつまり上記内部ノードna及びnbの電位が低下するまでの間、一時的にオン状態となる。この間、内部ノードncつまり電源電圧供給点VCCと内部ノードneつまり接地電位供給点VSSに蓄積された正電荷は、出力MOSFET N1及びN2とデータ出力端子Doutを介してそれぞれ放電され、これによって内部ノードnc及びneの電位も低下する。また、デバイス帯電により負電圧に帯電されたときにも、内部ノードnaやnbの放電による電位上昇に伴い、出力MOSFET N1やN2が一時的にオン状態となって内部ノードncつまり電源電圧供給点VCCと内部ノードneつまり接地電位供給点VSSに蓄積された負電荷を放電させる。

【0026】図2には、図1のデータ出力バッファDOBの一実施例の部分的な平面配置図が示されている。同図には、上記出力MOSFET N1及びN2と、保護用のNチャンネルMOSFET N3とN4が代表として例示的に示されている。同図をもとに、この実施例のデータ出力バッファDOBの部分的なレイアウトの概要ならびにその特徴について説明する。なお、図2では、一点鎖線によってウェル領域が示され、最も細い実線によって拡散層が示される。また、破線によってゲート層が示され、やや太い実線と最も太い実線によって第1層及び第2層のアルミニウム配線層がそれぞれ示される。

【0027】図2において、この実施例のデータ出力バッファDOBを構成する出力MOSFET N1は、N型半導体基板上のP型ウェル領域PWE L L内に形成されたN型拡散層ND1をそのソース及びドレインとする。このN型拡散層ND1は、例えばポリシリコンからなり四つに分岐されたゲート層FG1によって5分割される。このうち、最も左側の部分と中央部分ならびに最も右側の部分は、第1層のアルミニウム配線層AL14、AL16及びAL18と対応する複数のコンタクト及びスルーホールを介して、内部ノードncつまり電源電圧供給点VCCとなる第2層のアルミニウム配線層AL21に結合される。また、残り二つの部分は、対応する複数のコンタクトを介して第1層のアルミニウム配線層AL15及びAL17にそれぞれ結合された後、対応する複数のスルーホールを介して内部ノードndとなる第2層のアルミニウム配線層AL23に結合される。アルミニウム配線層AL23は、図示されないボンディン

グパッドに結合され、さらにボンディングワイヤを介してデータ出力端子Doutに結合される。MOSFET N1のゲートとなるゲート層FG1は、複数のコンタクトを介して、内部ノードnaとなる第1層のアルミニウム配線層AL13に結合される。

【0028】同様に、データ出力バッファDOBを構成する出力MOSFET N2は、P型ウェル領域PWE L L内に形成されたN型拡散層ND2をそのソース及びドレインとする。このN型拡散層ND2は、やはり四つに分岐されたゲート層FG2によって5分割される。このうち、最も左側の部分と中央部分ならびに最も右側の部分は、第1層のアルミニウム配線層AL19、AL1A及びAL1Bと対応する複数のコンタクト及びスルーホールを介して、内部ノードneつまり接地電位供給点VSSとなる第2層のアルミニウム配線層AL22に結合される。また、残り二つの部分は、対応する複数のコンタクトを介して第1層のアルミニウム配線層AL12及びAL15にそれぞれ結合された後、対応する複数のスルーホールを介して上記第2層のアルミニウム配線層AL23に結合される。MOSFET N2のゲートとなるゲート層FG2は、複数のコンタクトを介して、内部ノードnbとなる第1層のアルミニウム配線層AL11に結合される。

【0029】静電破壊防止のために設けられる保護用のMOSFET N3及びN4は、P型ウェル領域PWE L L内に形成されたN型拡散層ND3をそのソース及びドレインとする。このN型拡散層ND3は、ポリシリコンからなり二つに分岐されたゲート層FG3によって3分割される。このうち、MOSFET N3のドレインとなる最も右側の部分は、複数のコンタクトを介して、内部ノードnaとなる上記第1層のアルミニウム配線層AL13に結合される。また、MOSFET N4のドレインとなる最も左側の部分は、複数のコンタクトを介して、内部ノードnbとなる上記第1層のアルミニウム配線層AL11に結合される。そして、MOSFET N3及びN4のソースとなる中央部分は、複数のコンタクトを介して第1層のアルミニウム配線層AL12に結合された後、複数のスルーホールを介して内部ノードndとなる第2層のアルミニウム配線層AL23に結合される。MOSFET N3及びN4のゲートとなるゲート層FG3は、複数のコンタクトを介して上記第1層のアルミニウム配線層AL1Aに結合された後、接地電位供給点VSSとなる第2層のアルミニウム配線層AL22に結合される。

【0030】以上のように、この実施例では、出力MOSFET N1及びN2の酸化膜破壊を防止するためのMOSFET N3及びN4が、出力MOSFET N1及びN2と同一のP型ウェル領域PWE L L内に近接して配置されるため、MOSFET N3及びN4と出力MOSFET N1及びN2との間の配線抵抗を小さくし、その

静電破壊防止効果を高めることができるとともに、MOSFETN3のソースとなるN型拡散層ND3の最も右側の部分と出力MOSFETN1のソースとしてデータ出力端子Doutに結合されるN型拡散層ND1の左から2番目の部分とが、N型拡散層ND1の最も左側の部分をはさんで、言い換えるならば互いに隣接しないように配置され、これによって比較的高電圧の印加が予想されるこれらの内部ノード間の破壊耐圧を高めることができるものとなる。

【0031】図3には、上記図2のa-a'線での一実施例の概略素子構造断面図が示されている。出力MOSFETN1(N2は図示されない)が形成されるウェル領域PWEELLに、保護用のNチャンネルMOSFETN3とN4が形成される。L1~L8は、これらのMOSFETのソース、ドレインを構成するN型拡散層である。

【0032】LOCOS酸化膜2を介して隣接して配置されるN型拡散層L3とL4は、PWEELLをベースとした寄生ラテラルNPNトランジスタを構成するので、拡散層L3又はL4のどちらか一方にだけ出力ノードndを接続しないようにする必要がある。あるいは、L3又はL4の両方を出力ノードndに接続してもよい。この理由は、上記拡散層L3又はL4のいずれか一方を出力ノードndに接続した場合には、出力ノードndが接地されるとき、言い換えるならば、パッケージの電荷を放電するとき、拡散層L3とL4の間に電位差が発生し、L3-PWEELL-L4の経路で放電が発生し、L3又はL4はかかる放電電流によるPN接合破壊が生じる虞れがある。

【0033】このため、この実施例では、MOSFETN3とN4の共通接続されて出力端子ノードndに接続されるソース、ドレインを拡散層L2により構成し、内部ノードnaに接続される他方のソース、ドレインを拡散層L3により構成し、上記のような出力端子(ノードnd)の放電時において、上記のような寄生ラテラルNPNトランジスタがオン状態になることを防止している。

【0034】同図の他の構造は、前記図2の平面図配置図の記号と一致しており、前記の説明から容易に理解されるであろう。

【0035】図4には、この発明に係るデータ出力バッファDOBの他の一実施例の回路図が示されている。デバイス帯電による素子破壊は、負電荷帯電の静電破壊耐圧電圧が正電荷の帯電時の静電破壊耐圧電圧にくらべて大きいこと、言い換えるならば、MOSデバイスにあっては負電荷帯電に対して強い。この実施例においては、このような事情を考慮して、回路の簡素化のために専ら正電荷帯電による破壊防止対策がなされている。

【0036】出力MOSFETN1とN2と、それをスイッチ制御するノアゲート回路NO1とNO2及びイン

バータ回路V1とV2からなる前記同様なデータ出力バッファに対して、デバイス帯電に対する保護を図りつつ、出力信号の立ち上がり的高速化のための電源電圧VCC側の出力MOSFETN1に対して、バイポーラ型NPNトランジスタBN1が並列形態に設けられる。すなわち、このトランジスタBN1は、そのコレクタが出力MOSFETN1とドレインと共通に電源電圧端子VCCに接続され、エミッタは出力端子Doutに接続され、ベースは抵抗R1を介してMOSFETN1のゲート(内部ノードna)に接続される。

【0037】低電源電圧側である接地電位側の出力MOSFETN2に対しては、そのゲート(内部ノードnb)とドレイン(出力ノードnd)との間に、保護用のNチャンネルMOSFETN3が設けられる。この保護用のMOSFETN3のゲートには、低電圧側である接地電位点に接続される。

【0038】図5には、上記図4の出力MOSFETN1とバイポーラ型トランジスタBN1の一実施例の概略断面構造図が示されている。N型基板上に形成されたP型ウェル領域PWEELL1に、出力MOSFETN1が形成される。このウェル領域PWEELL1には、図示しない他方の出力MOSFETN2や保護用のMOSFETN3も形成される。

【0039】バイポーラ型トランジスタBN1は、特に制限されないが、LOCOS酸化膜を介して隣接して形成されたP型ウェル領域PWEELL2に形成される。このPWEELL2は、上記のようなNチャンネル型MOSFETを形成するためのPWEELL1と同時に形成される。そして、このPWEELL2をベース領域とし、NチャンネルMOSFETN1~N3等のソース、ドレイン拡散層と同時に形成されるN型拡散層を形成してエミッタ領域として用いる。N基板には、電源電圧VCCのバイアス電圧が供給され、これをコレクタとして用いるようにするものである。上記バイポーラ型トランジスタBN1のエミッタは、出力端子Doutに接続されるとともに、出力MOSFETN1の出力ノード側と接続される。上記ベース領域としてのPWEELL2は、MOSFETN1のゲート等の内部ノードと接続される。出力MOSFETN1のドレインは、上記電源電圧VCCに接続される。

【0040】この実施例においては、正電荷が帯電したとき、電源電圧側の出力MOSFETN1のゲートが接続される内部ノードnaは、出力端子Doutが接地されることによる放電時において、バイポーラ型トランジスタBN1のベース、エミッタを通して共に放電される。これにより、電源電圧側の出力MOSFETN1には、上記バイポーラ型トランジスタBN1が保護用素子として作用することとなる。また、電源電圧側のノードncは、上記バイポーラ型トランジスタBN1とMOSFETN1を通して前記同様に放電される。

【0041】一方、接地電位側の出力MOSFETN2においては、そのゲートが接続される内部ノードnbは前記同様に保護用のMOSFETN3を通して放電される。接地電位側neはMOSFETN2を通して放電される。これらの各ノードna~neは、出力端子Doutの接地電位の導体に触れて放電するときに、ほぼ同時に放電する。このため、出力バッファの各ノード間の電位差が大きくなりえないので、言い換えるならば、出力MOSFETN1、N2のゲート絶縁膜が破壊されようような大きな電圧となる前に放電してしまうので、ESD破壊を防止することができる。

【0042】この実施例においては、回路が動作状態のときにはバイポーラ型トランジスタBN1が出力トランジスタとして作用する。すなわち、駆動回路であるノアゲート回路NO1の出力信号がハイレベルにされると、バイポーラ型トランジスタBN1がオン状態となり、出力MOSFETN1とともに出力端子Doutに充電電流を流すので、出力信号の立ち上がりを速くすることができる。つまり、この実施例のバイポーラ型トランジスタBN1は、前記のようなESD破壊に対する保護動作と、動作状態での動作速度の高速化を実現するという2つの機能を合わせ持つような役割を果たすことができる。

【0043】図6には、この発明に係るデータ出力バッファDOBの他の一実施例の回路図が示されている。この実施例では、デバイス帯電による素子破壊防止をより完全にするために、前記図4の実施例において負電荷帯電によるESD破壊防止対策も採られている。

【0044】この実施例では、前記図4の実施例のような出力バッファに加えて、出力MOSFETN1のゲート（内部ノードna）と出力ノード（nd）との間、及び出力MOSFETN2のドレイン（出力ノードnd）とゲート（内部ノードnb）との間に、保護用のPチャンネルMOSFETP1とP2が設けられる。これらのMOSFETP1とP2のゲートは、共通に電源電圧VCC（ノードnc）に接続される。

【0045】この実施例においては、正電荷が帯電したときには前記同様にバイポーラ型トランジスタBN1とNチャンネルMOSFETN3によりESD破壊を防止し、負電荷が帯電したときには、前記図1の実施例と同様にPチャンネルMOSFETP1とP2がオン状態になって、ESD破壊を防止するものとなる。

【0046】図7には、この発明に係るデータ出力バッファDOBの他の一実施例の回路図が示されている。この実施例では、Pチャンネル型の出力MOSFETP1とNチャンネル型の出力MOSFETN2からなるCMOS構成とされる。このようにCMOS構成の場合、Pチャンネル出力MOSFETP1のゲートには、ナンド（NAND）ゲート回路NA1により駆動信号が供給される。これに応じて、ナンドゲート回路NA1に入力に

は、出力信号DOと制御信号DOCが直接供給される。この実施例においては、Pチャンネル出力MOSFETP1の静電破壊耐圧（デバイス帯電モデル）は、Nチャンネル出力MOSFETN1より高いので、回路の簡素化のためにNチャンネル出力MOSFETN2に対してのみ、前記同様な保護用のNチャンネルMOSFETN4が設けられる。

【0047】上記のようにPチャンネル出力MOSFETP1の静電破壊耐圧が高いのは経験的に判っているものであり、その理由は、CMOS構造としたときのラッチアップ防止のために、Pチャンネル出力MOSFETP1のドレインと出力端子Doutの間には、約10~20Ω程度の拡散抵抗R1が設けられているため、放電電流波形が鈍化してドレイン電位の変化を遅くすること、及びPチャンネルMOSFETのゲート酸化膜耐圧がNチャンネルMOSFETのゲート酸化膜耐圧に比べて高いことによるものであると推測される。

【0048】図8には、この発明に係るデータ出力バッファDOBの他の一実施例の回路図が示されている。この実施例においては、前記図7の実施例と同様に、Pチャンネル型の出力MOSFETP1とNチャンネル型の出力MOSFETN2からなるCMOS構成とされる。このようにCMOS構成の場合、PチャンネルMOSFETP1の電流駆動能力が小さく、出力の立ち上がりが比較的遅くなるため、前記図4の実施例と同様なバイポーラ型トランジスタBN1が設けられる。これにより、出力バッファが動作状態においては、バイポーラ型トランジスタBN1の電流が支配的に作用して出力信号の立ち上がりを速く、Pチャンネル出力MOSFETP1により、出力レベルを電源電圧VCCまで高くして出力ハイレベルマージンを大きくするものである。

【0049】ESD破壊対策としては、出力MOSFETN2の保護は、前記同様に保護用のNチャンネルMOSFETN3により行われる。また、Pチャンネル出力MOSFETP1の保護は、其れ自身のゲート絶縁膜の静電破壊耐圧が高いこと及び拡散抵抗R2によりドレイン電位の変化が緩やかにできるので、これらが実質的な保護対策とされる。また、バイポーラ型トランジスタBN1に関しては、MOSFETとは異なり、内部ノードngはベース、エミッタ間のPN接合により放電されるので格別な静電破壊対策は必要ない。

【0050】図9には、この発明に係るデータ出力バッファDOBの他の一実施例の回路図が示されている。この実施例においては、前記図8の実施例に電源電圧側の出力MOSFETとして、Nチャンネル出力MOSFETN1が加えられる。この理由は、出力電圧の立ち上がりとして、バイポーラ型トランジスタとNチャンネル出力MOSFETにより、小さな素子サイズにより大きな電流を得るようにして実質的なハイレベルへの立ち上りを速くする。そして、Pチャンネル型の出力MOSF

ETP3の役割は、出力電圧が $V_{CC}-V_{BE}$ （バイポーラ型トランジスタBN1のベース、エミッタ間電圧）まで達すると、かかるバイポーラ型トランジスタBN1がオフ状態になり、 $V_{CC}-V_{th}$ （MOSFETN1のしきい値電圧）まで達するとMOSFETN1がオフ状態になった後に、出力電圧を電源電圧 V_{CC} まで立ち上げるレベル補償動作にある。このように、PチャンネルMOSFETP3は、出力レベルの補償を行うものである。このようにレベル補償動作によって、電源電圧 V_{CC} の低電圧化を図ることができる。

【0051】この実施例において、Pチャンネル出力MOSFETP3のESD対策は、ラッチアップ防止用の拡散抵抗R2等により省略され、Nチャンネル出力MOSFETN1に対する正電荷の帯電による破壊防止は、バイポーラ型トランジスタBN1により行うようにされる。接地電位側の出力MOSFETN2の正電荷の帯電による破壊防止は、前記同様な保護用のNチャンネルMOSFETN3により行われる。そして、負電荷の帯電による破壊防止をより確実にするために、保護用のPチャンネルMOSFETP1とP2が、Nチャンネル出力MOSFETN1及びN2のソースのゲートと出力ノードとの間に設けられる。

【0052】図10には、この発明に係るデータ出力バッファDOBの他の一実施例の回路図が示されている。この実施例においては、CMOS構成の出力バッファに向けられている。すなわち、Pチャンネル出力MOSFETP1とNチャンネル出力MOSFETN2により出力回路が構成される。その駆動回路として、Pチャンネル出力MOSFETP1のゲートにはナンドゲート回路NA1が設けられ、Nチャンネル出力MOSFETN2のゲートにはノアゲート回路NO2が設けられる。上記ゲート回路NA1とNO2の一方の入力には出力すべき信号DOが供給され、ゲート回路NA1の他方の入力には制御信号DOCが供給され、ゲート回路NO2の他方の入力には制御信号DOCがインバータ回路V2によって反転されて供給される。

【0053】このようなデータ出力バッファにおけるデバイス帯電により正電荷によるESD破壊を防止するために、出力MOSFET P1, N1のゲートと出力との間に保護用のNチャンネルMOSFET N3とN4が設けられる。これらのNチャンネルMOSFET N3とN4のゲートは、回路の接地電位側に接続される。これにより、データ出力バッファが動作状態に置かれるとき、これらの保護用のMOSFET N3とN4は共に定常的にオフ状態になって、出力動作に何ら悪影響を及ぼさない。

【0054】パッケージ封入後の大規模集積回路装置LSIは、デバイス帯電モデルによる帯電によってデータ出力バッファDOBの内部ノード $n_a \sim n_e$ を例えば比

較的大きな絶対値の正電位とされ、出力端子Doutに蓄積された正電荷が、導体接触により放電して低電位となったときに、保護用のMOSFET N3とN4がオン状態になり、内部ノードna及びnbの帯電電圧に相当する比較的大きな正電圧を放電させて、出力MOSFET P1とN2のESD破壊を防止する。なお、前記のように、Pチャンネル出力MOSFET P1の出力側には前記のようなラッチアップ防止用の拡散抵抗が設けられていが、同図では省略されている。

10 【0055】図11には、この発明に係るデータ出力バッファDOBの他の一実施例の回路図が示されている。この実施例においては、CMOS構成の出力バッファに向けられ、図10の実施例と異なり、負電荷を帯電したときのESD破壊防止対策が採られている。つまり、出力MOSFETP1、N1のゲートと出力との間に保護用のPチャンネルMOSFETP3とP4が設けられる。これらのPチャンネルMOSFETP3とP4のゲートは、電源電圧VCCに接続される。これにより、データ出力バッファが動作状態に置かれるとき、これらの保護用のMOSFETP3とP4は共に定常的にオフ状態になって、出力動作に何ら悪影響を及ぼさない。

20

【0056】デバイス帯電モデルによる帯電によってデータ出力バッファDOBの内部ノードna～neを例えば負電位とされ、出力端子Doutに蓄積された負電荷が、導体接触により放電して低電位となったときに、保護用のMOSFET P3とP4がオン状態になり、内部ノードna及びnbの帯電電圧に相当する比較的大きな負電圧を放電させて、出力MOSFET P1とN2のESD破壊を防止する。

300 【0057】図12には、この発明に係るデータ出力バッファDOBの他の一実施例の回路図が示されている。この実施例においては、CMOS構成の出力バッファに向けられ、図10や図11の実施例と異なり、Pチャンネル出力側MOSFETP1に対しては、負電荷を帯電したときのESD破壊防止対策が採られ、Nチャンネル出力MOSFETN2に対しては正電荷を帯電したときのESD破壊防止対策が採られている。つまり、出力MOSFETP1、N1のゲートと出力との間に前記のような保護用のPチャンネルMOSFETP3とNチャンネルMOSFETN4がそれぞれ設けられて、前記同様な保護動作を行うようにされる。

【0058】図13には、この発明に係るデータ出力バッファDOBの更に他の一実施例の回路図が示されている。この実施例においては、CMOS構成の出力バッファに向けられ、図12実施例と逆に、Pチャンネル出力側MOSFETP1に対しては、正電荷を帯電したときのESD破壊防止対策が採られ、Nチャンネル出力MOSFETN2に対しては負電荷を帯電したときのESD破壊防止対策が採られている。つまり、出力MOSFETP1、N1のゲートと出力との間に前記のような保護

用のNチャンネルMOSFETN3とPチャンネルMOSFETP4がそれぞれ設けられて、前記同様な保護動作を行うようにされる。

【0059】図14には、この発明に係るデータ入力バッファDIBの一実施例の回路図が示されている。同図をもとに、この実施例のデータ入力バッファDIBの構成及び動作の概要ならびにその特徴について説明する。なお、この実施例のデータ入力バッファDIBは、特に制限されないが、前記データ出力バッファDOBならびに他の同様な複数のデータ入力バッファとともに、スタティック型RAM等の大規模集積回路装置LSIに設けられる。

【0060】図14において、この実施例のデータ入力バッファDIBは、そのゲートが内部ノードnfとして外部端子つまりデータ入力端子Dinに共通結合されるPチャンネル型の入力MOSFETP3とNチャンネル型の入力MOSFETN5を含む。このうち、入力MOSFETP3のソースは、内部ノードngつまり電源電圧供給点VCCに結合され、入力MOSFETN5のソースは、内部ノードniつまり接地電位供給点VSSに結合される。これらの入力MOSFETのドレインは、内部ノードnhとして共通結合され、その電位は、内部入力信号IDとしてデータ入力バッファDIBの図示されない後段回路に供給される。これにより、内部入力信号IDは、データ入力端子Dinの電位が所定のハイレベルとされるとき接地電位VSSのようなロウレベルとされ、データ入力端子Dinの電位が所定のロウレベルとされるとき電源電圧VCCのようなハイレベルとされる。

【0061】この実施例において、データ入力バッファDIBは、さらに、内部ノードnfつまりデータ入力端子Dinと内部ノードnhつまり入力MOSFETP3及びN5の共通結合されたドレインとの間にNチャンネルMOSFETN6と、内部ノードnfつまりデータ入力端子Dinと内部ノードniつまり接地電位供給点VSSとの間にもう一つのNチャンネルMOSFETN7とがそれぞれ設けられる。これらのMOSFETN6及びN7のゲートは共通結合された後、回路の低電位側電源電圧つまり接地電位VSSに結合される。これにより、MOSFETN6及びN7は、大規模集積回路装置LSIの通常の動作状態において定常的にオフ状態とされ、データ入力バッファDIBの動作に影響を与えないものとされる。

【0062】パッケージ封入後の大規模集積回路装置LSIは、デバイス帯電モデルによる帯電によってデータ入力バッファDIBの内部ノードnf～niを例えば比較的大きな絶対値の正電位とされる。そして、デバイス帯電により内部ノードnfつまりデータ入力端子Dinに蓄積された正電荷は、導体接触により放電して低電位となり、入力MOSFETP3のゲート・ドレイン間な

らびに入力MOSFETN5のゲート・ソース間及びゲート・ドレイン間には、内部ノードnh及びniの帯電電圧に相当する比較的大きな正電圧が印加されようとする。

【0063】この実施例のデータ入力バッファDIBでは、上記のように、入力MOSFETP3及びN5のゲート・ドレイン間ならびに入力MOSFETN5のゲート・ソース間に、そのゲートが接地電位VSSに共通結合されたMOSFETN6及びN7がそれぞれ設けられ、これらのMOSFETN6及びN7は、そのゲートつまり内部ノードniがデバイス帯電により高電圧とされそのソースつまりデータ入力端子Dinの電位が導体接触にともなう放電により低下することで選択的にオン状態となる。これにより、内部ノードnh及びniに蓄積された電荷は、これらのMOSFETN6及びN7からデータ入力端子Dinを介して放電され、低電位となる。この結果、入力MOSFETP3及びN5のゲート・ドレイン間電圧を小さくして、入力MOSFETの酸化膜破壊を防止し、大規模集積回路装置LSIの信頼性を高めることができるとともに、デバイス帯電により放電経路を持たない内部ノードniつまり接地電位供給点VSSに蓄積された電荷をMOSFETN7を介して放電することができる。

【0064】入力MOSFETP3は、放電によりデータ入力端子Dinの電位が低下してからそのドレインつまり内部ノードnhの電位が低下するまでの間、MOSFETN6とともにオン状態となる。この間、デバイス帯電により内部ノードngつまり電源電圧供給点VCCに蓄積された正電荷は、入力MOSFETP3及びMOSFETN6を介して放電され、これによって内部ノードngの電位も低下する。一方、MOSFETN6及びN7は、大規模集積回路装置LSIが通常の使用状態にあるとき、そのゲートに接地電位VSSが供給されることでオフ状態となり、大規模集積回路装置LSIの動作に影響を与えない。

【0065】図15には、この発明が適用されたデータ入力バッファDIBの他の一実施例の回路図が示されている。なお、この実施例は、前記図14の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。また、この実施例は、後述する理由から明らかなように、データ入力バッファDIBの内部ノードnf～niが負電位に帯電された場合において有効となる。

【0066】図15において、この実施例のデータ入力バッファDIBは、内部ノードnfつまりデータ入力端子Dinと内部ノードnhつまり入力MOSFETP3及びN5の共通結合されたドレインとの間に設けられるPチャンネルMOSFETP4と、内部ノードnfつまりデータ入力端子Dinと内部ノードngつまり電源電圧供給点VCCとの間に設けられるもう一つのPチャ

ネルMOSFET P5を含む。これらのMOSFET P4及びP5のゲートは共通結合された後、回路の高電圧側電源電圧つまり電源電圧VCCに結合される。これにより、MOSFET P4及びP5は、大規模集積回路装置LSIの通常の動作状態において定常的にオフ状態とされ、データ入力バッファDIBの動作に影響を与えないものとされる。

【0067】前記同様に大規模集積回路装置LSIが試験工程や機器組み立て工程においてデバイス帯電モデルによる帯電を受け、データ入力バッファDIBの内部ノードnf～niが静電誘導によって負電位に帯電された後、内部ノードnfつまりデータ入力端子Dinに蓄積された負電荷が導体接触により放電されると、MOSFET P4及びP5は、そのゲートつまり内部ノードngがデバイス帯電による負電位とされそのソースつまりデータ入力端子Dinの電位が導体接触にともなう放電により上昇することで選択的にオン状態となる。これにより、内部ノードng及びnhに蓄積された負電荷はMOSFET P4及びP5を介して放電され、その電位も上昇する。この結果、入力MOSFET P3及びN5のゲート・ドレイン間電圧を小さくして酸化膜破壊を防止し、大規模集積回路装置LSIの信頼性を高めることができる。放電経路を持たない内部ノードngつまり電源電圧供給点VCCに蓄積された負電荷をMOSFET P5を介して放電することができる。

【0068】入力MOSFET N5は、放電によりデータ入力端子Dinの電位が上昇してからそのドレインつまり内部ノードnhの電位が上昇するまでの間、MOSFET P4とともにオン状態となる。この間、デバイス帯電により内部ノードniつまり接地電位供給点VSSに蓄積された負電荷は、入力MOSFET N5及びMOSFET P4を介して放電され、これによって内部ノードniの電位も上昇する。一方、MOSFET P4及びP5は、大規模集積回路装置LSIが通常の使用状態にあるとき、そのゲートに電源電圧VCCが供給されることでオフ状態となり、大規模集積回路装置LSIの動作に影響を与えない。

【0069】図16には、この発明が適用されたデータ入力バッファDIBの更に他の一実施例の回路図が示されている。なお、この実施例は、前記図14と図15を組み合わせたものであり、正電荷及び負電荷の帯電による静電破壊防止を行うようにするものである。

【0070】図17には、この発明に係る半導体装置の一実施例の外観図が示されている。(A)には、パッケージの両側にリードが設けられるDIP/SOP型パッケージを用いた例が示され、(B)にはパッケージの一边のみにリードが設けられるZIP型パッケージを用いた例が示され、(C)にはパッケージの4辺から共にリードが設けられるQFP型パッケージを用いた例が示されている。

【0071】デバイス帯電モデルの静電破壊は、デバイスのリードが導体に接触する時に発生する。デバイスのリードのうち、このように導体に接触する確立の高いリードは、図17(A)～(C)のようにいずれもパッケージ1のコーナー(端)に位置するリード2であり、パッケージ1の中央部分に位置するリード3は、上記導体と接触する確立が相対的に低いと考えられる。

【0072】そこで、パッケージ1のコーナー部分2に設けられたリードに対応して設けられるデータ出力バッファあるいはデータ入力バッファに対して、前記のような静電破壊防止回路を設けたものを用い、中央部分3に対応したリードには、かかるデバイス帯電モデルによる静電破壊防止回路を省略する。これにより、チップのサイズの小型化を図ることができる。

【0073】あるいは、人体モデルによる静電破壊防止は、上記のようなパッケージのコーナー部分ではなく、人手による取扱いにおいてはパッケージの中央部分のリードが人体と接触する確立が高いと予測されるから、中央部分3に対応したリードには、前記公報のような人体モデルに対応したような保護回路を設けるようにする。このようにすれば、デバイス帯電モデルと人体モデルの双方に対して強い保護回路を効率よく配置した半導体装置を得ることができる。

【0074】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 外部端子に一方のソース又はドレインが接続された出力MOSFETのゲートと上記外部端子の間に設けられて、ゲートが高電圧側電源端子に接続されて上記出力MOSFETと同じかそれより大きなチャンネル長を持つようにされたPチャンネル型の第1保護用MOSFET、又はそのゲートが低電圧側電源端子に接続され、上記出力MOSFETと同じかそれより大きなチャンネル長を持つようにされたNチャンネル型の第2保護用MOSFETを設けることにより、デバイス帯電により外部端子が放電されたとき、上記保護用のMOSFETの一方がオン状態になって、同様にデバイス帯電により出力MOSFETのゲート側の電荷も放電させることによりESD破壊を防止することができるという効果が得られる。

【0075】(2) 外部端子にゲートが接続された入力MOSFETの出力信号が得られるソース又はドレインと上記外部端子との間に、そのゲートが高電圧側電源端子に接続されたPチャンネル型の第3保護用MOSFET又はそのゲートが低電圧側電源端子に接続されたNチャンネル型の第4保護用MOSFETを設けることにより、デバイス帯電により外部端子が放電されたとき、上記保護用のMOSFETの一方がオン状態になって、同様にデバイス帯電により入力MOSFETの出力ノードであるソース又はドレイン側の電荷も放電させることによりESD破壊を防止することができるという効果が

得られる。

【0076】(3) 上記(1)と(2)において、保護用MOSFETはチャンネル長が出力MOSFETと同じかそれより大きく形成されているので、それ自体が帯電により破壊されてしまうことがなく、信頼性を高くすることができるという効果が得られる。

【0077】(4) 上記(1)の第1又は第2保護用MOSFETを、対応する出力MOSFETに近接し、かつその外部端子と結合される出力MOSFETのソース又はドレイン拡散層に対してそれと接続される上記第1又は第2保護用MOSFETのソース又はドレイン拡散層が隣接しないように配置することにより、寄生ラテラルトランジスタの発生によるMOSFETのソース、ドレイン領域とウェルとのPN接合が放電電流によって破壊されることを防止しつつ、効率よく内部ノードの電荷を放電させることができるという効果が得られる。

【0078】(5) 上記出力MOSFETのうち、電源電圧側の出力MOSFETのゲートにベースが接続され、コレクタが上記出力MOSFETのドレインと接続され、エミッタが上記ソースと接続されてなり、上記出力MOSFETが形成されるウェル領域と同時に形成される半導体領域をベースとし、上記出力MOSFETのソース、ドレイン拡散層と同時に形成された拡散層をエミッタ領域とし、基板をコレクタ領域とするバイポーラ型トランジスタが設けることにより、簡単な構成によりESD破壊対策と出力信号の立ち上がりを高速にできるという2つの機能を持たせることができるという効果が得られる。

【0079】(6) 上記出力MOSFETは、外部端子に抵抗素子を介してドレインが接続されたPチャンネル型の第3の出力MOSFETと、上記外部端子にドレイン接続されたNチャンネル型の第2の出力MOSFETのCMOS構成とするとともに、コレクタが上記第3の出力MOSFETのソースと接続され、エミッタが上記外部端子に接続されてなり、上記第2の出力MOSFETが形成されるウェル領域と同時に形成される半導体領域をベースとし、上記第2の出力MOSFETのソース、ドレイン拡散層と同時に形成された拡散層をエミッタ領域とし、基板をコレクタ領域とするバイポーラ型トランジスタとが設けることにより簡単な構成でESD破壊対策と出力信号の立ち上がりの速くするとともに、上記第2の出力MOSFETのゲートとドレイン間に、そのゲートが低電圧側電源端子に接続されたNチャンネル型の第2保護用MOSFETを設けることによりESD破壊対策を行うことができるという効果が得られる。

【0080】(7) 半導体装置における外部端子のうち、パッケージの端部に設けられる一部の外部端子に対応した上記出力MOSFET又は入力MOSFETのみに保護用MOSFETを設けるようにすることにより、チップサイズを大きくすることなく、効率よくESD破

壊対策を行うことができるという効果が得られる。

【0081】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図10～図13の実施例において、Pチャンネル出力MOSFET P1をNチャンネル出力MOSFET N1に置き換えたものであってもよい。この場合には、その駆動回路としての図1のようなノアゲート回路NO1が用いられる。

【0082】図2において、MOSFET N3及びN4は、これを寄生MOSFETにより構成することで、その耐圧を高めることができる。また、MOSFET N3及びN4は、任意の位置に配置できるし、データ出力バッファの具体的なレイアウトや配線材料ならびに配線層数等は、この実施例による制約を受けない。

【0083】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるスタティック型RAM等の大規模集積回路装置ならびにそのデータ出力バッファ及びデータ入力バッファに適用した場合について説明したが、それに限定されるものではなく、例えば、データ出力バッファ及びデータ入力バッファ以外の回路でも、そのゲート、ソース又はドレインが外部端子に結合されたMOSFETを含む各種の回路に適用できるし、ダイナミック型RAM等の各種メモリ集積回路装置やゲートアレイ集積回路等の論理集積回路装置にも適用できる。この発明は、少なくともそのゲート、ソース又はドレインが外部端子に結合されたMOSFETを含む半導体装置に広く適用できる。

【0084】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、外部端子に一方のソース又はドレインが接続された出力MOSFETのゲートと上記外部端子の間に設けられて、ゲートが高電圧側電源端子に接続されて上記出力MOSFETと同じかそれより大きなチャンネル長を持つようにされたPチャンネル型の第1保護用MOSFET、又はそのゲートが低電圧側電源端子に接続され、上記出力MOSFETと同じかそれより大きなチャンネル長を持つようにされたNチャンネル型の第2保護用MOSFETを設けることにより、デバイス帯電により外部端子が放電されたとき、上記保護用のMOSFETの一方がオン状態になって、同様にデバイス帯電により出力MOSFETのゲート側の電荷も放電させることによりESD破壊を防止することができる。

【0085】外部端子にゲートが接続された入力MOSFETの出力信号が得られるソース又はドレインと上記外部端子との間に、そのゲートが高電圧側電源端子に接続されたPチャンネル型の第3保護用MOSFET又は

そのゲートが低電圧側電源端子に接続されたNチャンネル型の第4保護用MOSFETを設けることにより、デバイス帯電により外部端子が放電されたとき、上記保護用のMOSFETの一方がオン状態になって、同様にデバイス帯電により入力MOSFETの出力ノードであるソース又はドレイン側の電荷も放電させることによりESD破壊を防止することができる。

【0086】上記において、保護用MOSFETはチャンネル長が出力MOSFETと同じかそれより大きく形成されているので、それ自体が帯電により破壊されてしまうことがなく、信頼性を高くすることができる。

【0087】上記の第1又は第2保護用MOSFETを、対応する出力MOSFETに近接し、かつその外部端子と結合される出力MOSFETのソース又はドレイン拡散層に対してそれと接続される上記第1又は第2保護用MOSFETのソース又はドレイン拡散層が隣接しないように配置することにより、寄生ラテラルトランジスタの発生によるMOSFETのソース、ドレイン領域とウェルとのPN接合が放電電流によって破壊されることを防止しつつ、効率よく内部ノードの電荷を放電させることができる。

【0088】上記出力MOSFETのうち、電源電圧側の出力MOSFETのゲートにベースが接続され、コレクタが上記出力MOSFETのドレインと接続され、エミッタが上記ソースと接続されてなり、上記出力MOSFETが形成されるウェル領域と同時に形成される半導体領域をベースとし、上記出力MOSFETのソース、ドレイン拡散層と同時に形成された拡散層をエミッタ領域とし、基板をコレクタ領域とするバイポーラ型トランジスタが設けることにより、簡単な構成によりESD破壊対策と出力信号の立ち上がりを高速にできるという2つの機能を持たせることができる。

【0089】上記出力MOSFETは、外部端子に抵抗素子を介してドレインが接続されたPチャンネル型の第3の出力MOSFETと、上記外部端子にドレイン接続されたNチャンネル型の第2の出力MOSFETのCMOS構成とするとともに、コレクタが上記第3の出力MOSFETのソースと接続され、エミッタが上記外部端子に接続されてなり、上記第2の出力MOSFETが形成されるウェル領域と同時に形成される半導体領域をベースとし、上記第2の出力MOSFETのソース、ドレイン拡散層と同時に形成された拡散層をエミッタ領域とし、基板をコレクタ領域とするバイポーラ型トランジスタとが設けることにより簡単な構成でESD破壊対策と出力信号の立ち上がりの速くするとともに、上記第2の出力MOSFETのゲートとドレイン間に、そのゲートが低電圧側電源端子に接続されたNチャンネル型の第2保護用MOSFETを設けることによりESD破壊対策を行うことができるものとなる。

【0090】半導体装置における外部端子のうち、パッ

ケージの端部に設けられる一部の外部端子に対応した上記出力MOSFET又は入力MOSFETのみに保護用MOSFETを設けるようにすることにより、チップサイズを大きくすることなく、効率よくESD破壊対策を行うことができる。

【図面の簡単な説明】

【図1】この発明に係るデータ出力バッファの一実施例を示す回路図である。

【図2】図1のデータ出力バッファの一実施例を示す部分的な平面配置図である。

【図3】図2のa-a線における一実施例を示す概略素子構造断面図である。

【図4】この発明に係るデータ出力バッファの他の一実施例を示す回路図である。

【図5】図4の出力MOSFETN1とバイポーラ型トランジスタBN1の一実施例を示す概略断面構造図である。

【図6】この発明に係るデータ出力バッファの他の一実施例を示す回路図である。

【図7】この発明に係るデータ出力バッファの他の一実施例を示す回路図である。

【図8】この発明に係るデータ出力バッファの他の一実施例を示す回路図である。

【図9】この発明に係るデータ出力バッファの他の一実施例を示す回路図である。

【図10】この発明に係るデータ出力バッファの他の一実施例を示す回路図である。

【図11】この発明に係るデータ出力バッファの他の一実施例を示す回路図である。

【図12】この発明に係るデータ出力バッファの他の一実施例を示す回路図である。

【図13】この発明に係るデータ出力バッファの他の一実施例を示す回路図である。

【図14】この発明に係るデータ入力バッファの一実施例を示す回路図である。

【図15】この発明に係るデータ入力バッファの他の一実施例を示す回路図である。

【図16】この発明に係るデータ入力バッファの他の一実施例を示す回路図である。

【図17】この発明が適用される半導体装置の一実施例を示す外観図である。

【図18】デバイス帯電モデルの原理を説明するための説明図である。

【図19】デバイス帯電モデルによる静電破壊を説明するための説明図である。

【図20】従来技術の一例を示す回路図である。

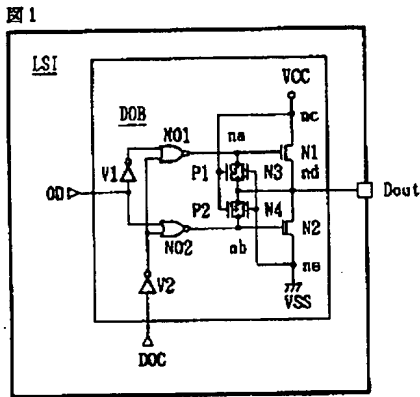
【符号の説明】

LSI…大規模集積回路装置（半導体装置）、DOB…データ出力バッファ、DIB…データ入力バッファ、P1～P5…PチャンネルMOSFET、N1～N7…N

23

チャンネルMOSFET、V1～V2…インバータ回路、NO1～NO2…ノア (NOR) ゲート、NA1…ナンド (NAND) ゲート回路、R1、R2…抵抗、P WEL L、PWELL1…Pウエル領域、PWEL

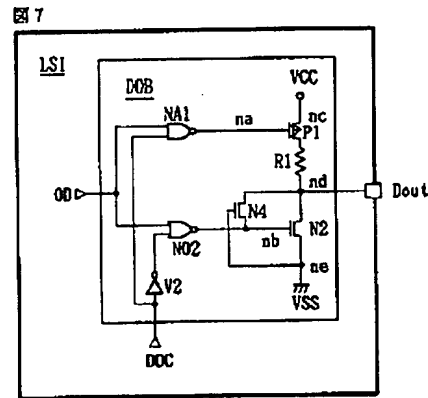
【図1】



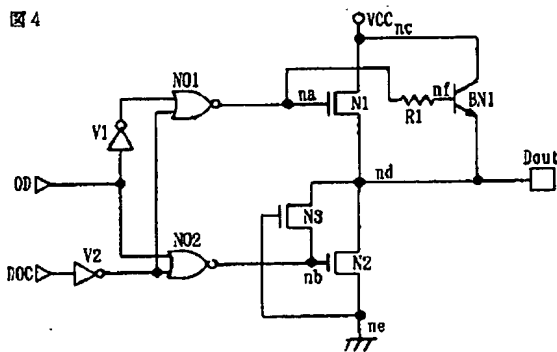
24

L2…ベース領域、ND1～ND3…N型拡散層、FG1～FG3…ゲート層、AL11～AL1B…第1層アルミニウム配線層、AL21～AL23…第2層アルミニウム配線層。

【図7】



【図4】



【図2】

図2

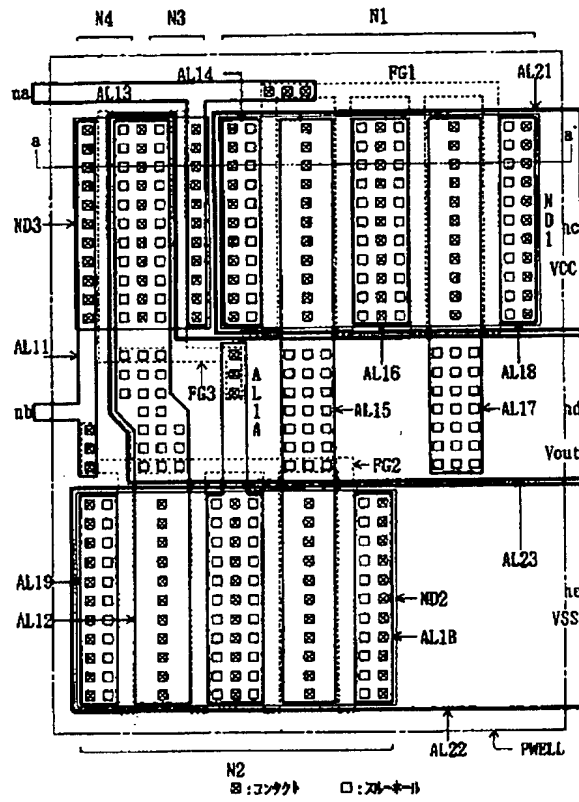
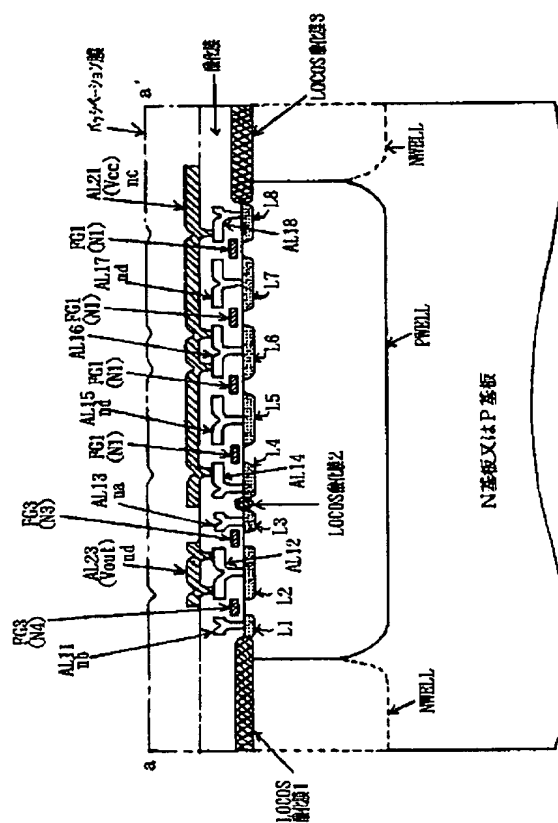
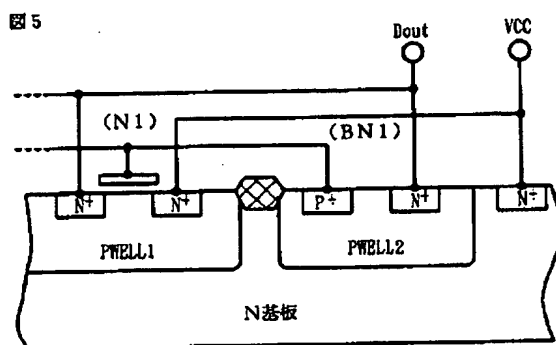


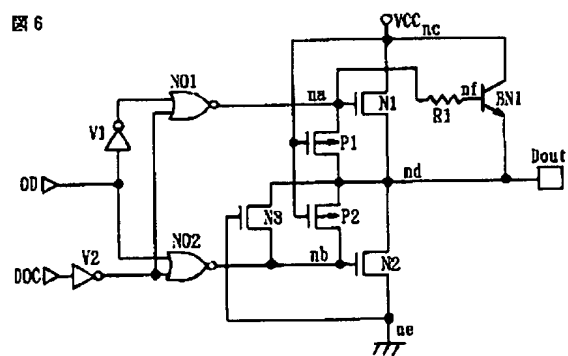
圖 3



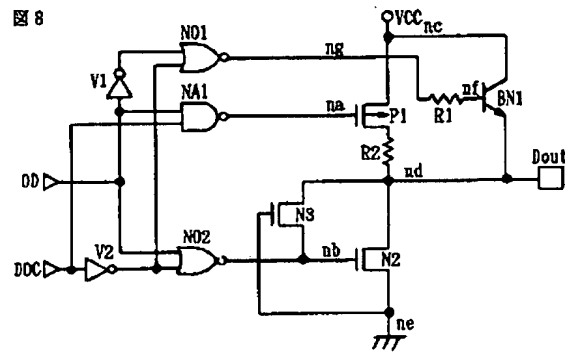
【図5】



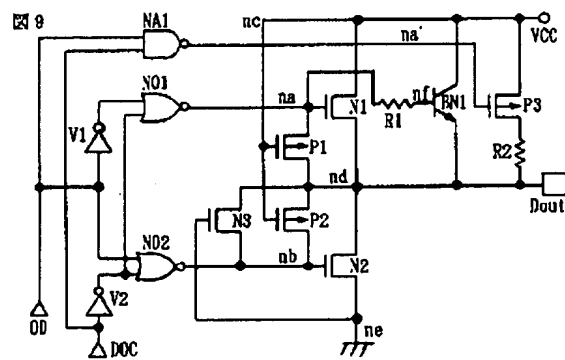
【図6】



【図8】

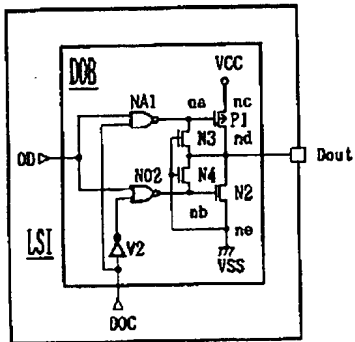


【図9】



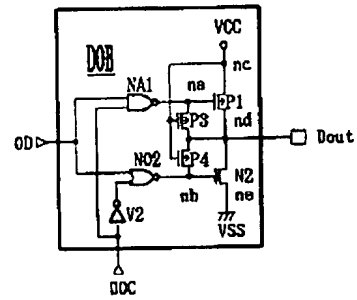
【図10】

図10



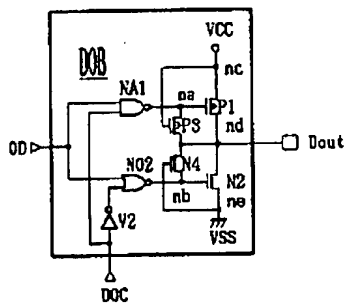
【図11】

図11



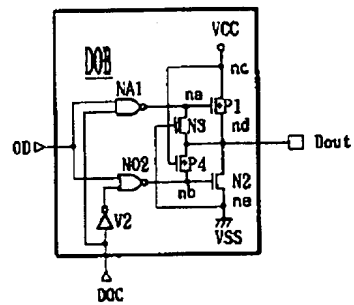
【図12】

図12



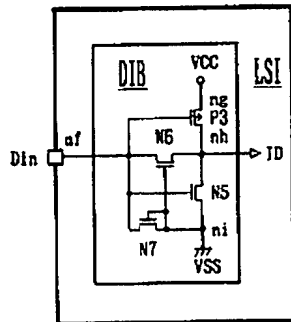
【図13】

図13



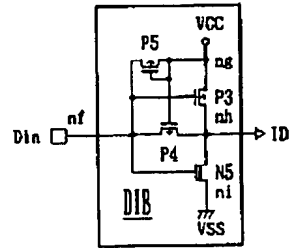
【図14】

図14



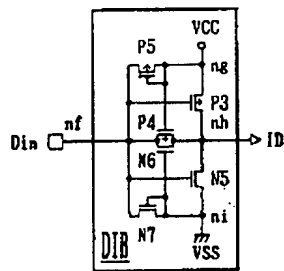
【図15】

図15

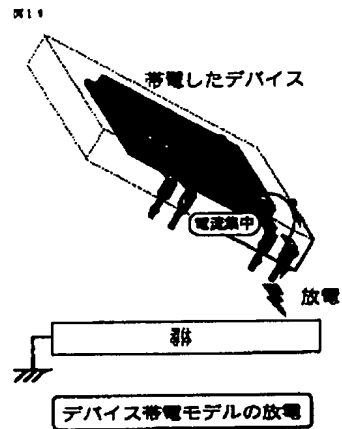


【図16】

図16

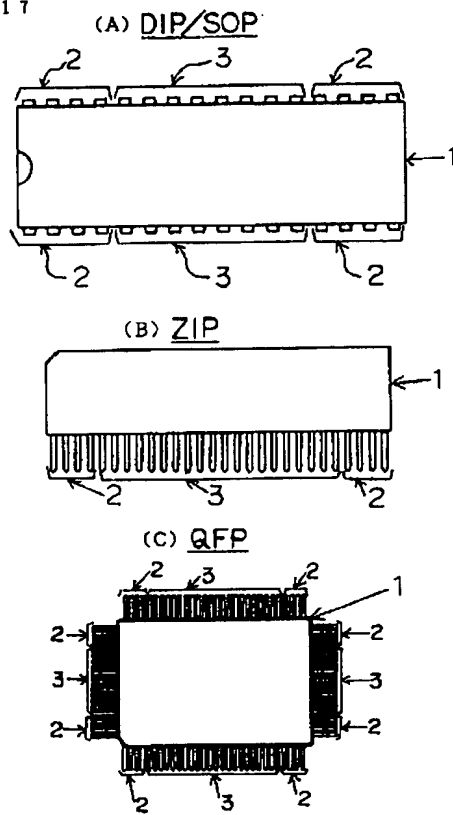


【図19】

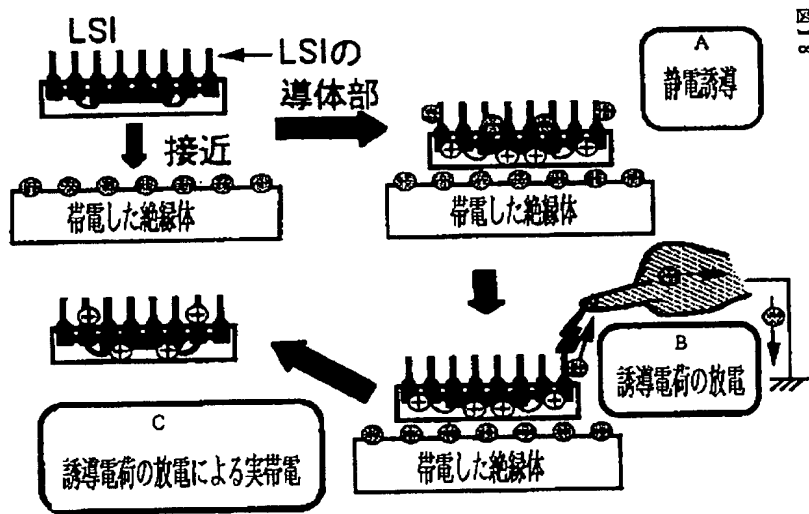


【図17】

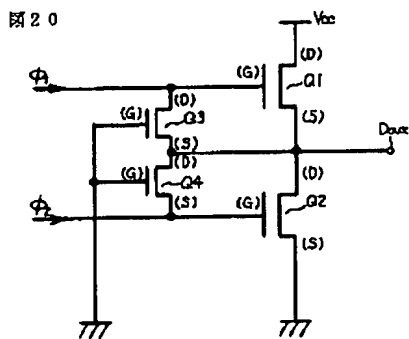
図17



〔図18〕



〔図20〕



フロントページの続き

(51) Int. Cl.⁸
H01L 27/088
H03K 19/003
// H01L 29/78

識別記号

F I
H01L 29/78

301K

(72)発明者 川島 行雄
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 中村 英明
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内